

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-335455

(43)Date of publication of application : 22.11.2002

---

(51)Int.Cl. H04N 5/335

H01L 27/146

---

(21)Application number : 2002-055195 (71)Applicant : MATSUSHITA

ELECTRIC IND CO LTD

(22)Date of filing : 01.03.2002 (72)Inventor : YAMAGUCHI TAKUMI

KOBUCHI HIROTO

---

(30)Priority

Priority number : 2001060006

Priority date : 05.03.2001

Priority country : JP

---

(54) SOLID-STATE IMAGING APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption of a MOS type sensor including a floating diffusion (FD) amplifier in each pixel.

SOLUTION: Drain regions (regions for supplying a pulse voltage to FD portions through reset transistors 3) of unit pixels are connected to different drain lines row by row, so as to selectively supply a power pulse to each row. The power pulse is set to a high level potential at least during a period when signal charge stored in the FD portion is reset and a period when the signal charge stored in

the FD portion is detected.

**\* NOTICES \***

JPO and INPIT are not responsible for any  
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not  
reflect

the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1]A photoelectric conversion region for carrying out photoelectric

conversion of the incident light respectively on a semiconductor substrate.

A read transistor for reading a signal charge obtained by said photoelectric conversion.

A storage region for storing said read signal charge.

A detecting transistor for detecting said read signal charge by potential of said storage region being added to a gate.

A drain area for supplying pulse voltage to said storage region via a reset transistor for resetting a signal charge of said storage region, and said reset transistor.

Are the above the solid state camera which it had, and a drain area of two or more of said amplified type unit pixels, The pulse drive of said drain wire is carried out so that a period which is connected to a different drain wire for every line, and resets a signal charge of said storage region at least, and a period which detects a signal charge of said storage region may set potential of said drain wire as HIGH level potential.

[Claim 2]A solid state camera constituting so that potential of said drain wire may be set as HIGH level potential in the solid state camera according to claim 1 in a period [ one / a period / said read transistor ].

[Claim 3]A vertical shift register for choosing a certain line of said two or more

amplified type unit pixels in the solid state camera according to claim 1 or 2, A solid state camera having further a circuit for giving a power supply pulse generated using an output of a stage with said vertical shift register to a corresponding drain wire of a line.

[Claim 4]A solid state camera having further a shift register for choosing a certain line or sequence of said two or more amplified type unit pixels in the solid state camera according to claim 1 or 2, and driving each of two or more of said amplified type unit pixels by a pulse which drives said shift register.

[Claim 5]That the signal charge of 2 pixels or more which adjoins mutually a column direction of said two or more amplified type unit pixels should be detected in a solid state camera given in any 1 paragraph of claims 1-4, A solid state camera constituting so that potential of a drain wire of two or more lines can be set as HIGH level potential within a blanking period.

[Claim 6]A period when a signal charge read from said photoelectric conversion region to any 1 paragraph of claims 1-5 in a solid state camera of a statement is stored in said storage region, A solid state camera constituting in at least 1 time in a period which resets a signal charge of said storage region so that potential of said drain wire may be set as HIGH level potential.

[Claim 7]A period when an unnecessary electric charge read from said photoelectric conversion region is stored in said storage region in order to throw

away an unnecessary electric charge acquired in said photoelectric conversion region in a solid state camera given in any 1 paragraph of claims 1-6, A solid state camera characterized by being constituted so that potential of said drain wire may be set as HIGH level potential with a period which resets an unnecessary electric charge of said storage region.

[Claim 8]In order to throw away an unnecessary electric charge acquired in said photoelectric conversion region in a solid state camera given in any 1 paragraph of claims 1-6. A solid state camera constituting so that potential of said drain wire may be set as HIGH level potential in a period [ one / said read transistor and said reset transistor / a period / simultaneously ].

[Claim 9]A solid state camera, wherein said drain wire is formed by the same wiring layer as a gate of each of said transistor in a solid state camera given in any 1 paragraph of claims 1-8.

[Claim 10]A solid state camera, wherein wiring which connects said storage region and a gate of said detecting transistor consists of light blocking effect metal of the 1st layer in a solid state camera given in any 1 paragraph of claims 1-9.

[Claim 11]In a solid state camera of a statement, in any 1 paragraph of claims 1-10, a detecting transistor of two or more of said amplified type unit pixels, A solid state camera, wherein it is connected to a different signal wire for every row,

and wiring which connects said storage region and a gate of said detecting transistor, and said drain wire consist of the 1st layer metal and said signal wire consists of the upper 2nd layer metal from said 1st layer metal.

[Claim 12]In a solid state camera of a statement, in any 1 paragraph of claims 1-10, a detecting transistor of two or more of said amplified type unit pixels, A solid state camera, wherein it is connected to a different signal wire for every row, and wiring which connects said storage region and a gate of said detecting transistor, and said signal wire consist of the 1st layer metal and said drain wire consists of the upper 2nd layer metal from said 1st layer metal.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the MOS type solid state camera used for a digital camera etc.

[0002]

[Description of the Prior Art] Drawing 17 shows an example of the conventional solid state camera which comprised a MOS transistor. Respectively this solid state camera on a semiconductor substrate The photo-diode (PD) 1, The read transistor 2 and a floating diffusion (FD) part, It is the solid state camera provided with the sensitization field 14 which arranged two or more amplified type unit pixels which have the reset transistor 3, the detecting transistor 4, and the address transistor 5 in the shape of two dimensions, A pulse required for the signal wire 6, the drain wire 7, the read-out gate line 8, the reset gate line 9, the address gate line 10, the vertical shift register 12 that chooses a pixel row, the horizontal shift register 13 which chooses a pixel row, and both the shift registers 12 and 13. It is constituted by the timing generating circuit 11 etc. to supply.

[0003] The signal charge by which photoelectric conversion was carried out by



PD1 is read to the FD part which is a storage region for storing a signal charge by the read transistor 2. The potential of an FD part is determined by the quantity of the electric charge read to this FD part, the gate voltage of the detecting transistor 4 changes, and a signal level is taken out by the signal wire 6 on condition that the address transistor 5 was chosen.

[0004]

[Problem(s) to be Solved by the Invention]According to the conventional technology of drawing 17, although a signal level is taken out by the signal wire 6 for every line, a power supply pulse is simultaneously supplied via the drain wire 7 of a lengthwise direction to two or more amplified type unit pixels of all arranged in the shape of two dimensions. Therefore, the technical problem that power consumption was large occurred.

[0005]The purpose of this invention is to reduce the power consumption in a solid state camera.

[0006]

[Means for Solving the Problem]To achieve the above objects, suppose a solid state camera of this invention that a drain area (field for supplying pulse voltage to an FD part via a reset transistor) of two or more amplified type unit pixels is connected to a different drain wire for every line. Since a power supply pulse can be selectively supplied for every line, power consumption is reduced by this

composition. And it was presupposed to a period which resets a signal charge of a storage region at least, and a period which detects a signal charge of a storage region that the pulse drive of the drain wire is carried out so that potential of a drain wire might be set as HIGH level potential. That is, since a drain wire drives only in a required period, power consumption is reduced further.

[0007]If it constitutes so that potential of a drain wire may be set as HIGH level potential in a period [ one / a period / a read transistor ], there will be no worries about a back run of an electric charge to a photoelectric conversion region (PD) resulting from LOW level potential of a drain wire.

[0008]

[Embodiment of the Invention]Hereafter, the solid state camera concerning the embodiment of this invention is explained.

[0009]Drawing 1 shows the example of composition of the amplified type unit pixel in the solid state camera concerning this invention. In drawing 1, a photo-diode (PD) and 2 1 A read transistor, A floating diffusion part and 3 FD A reset transistor, The gate line with which a signal wire and 7 served as the drain wire (VDD), 15 served as the amplified type unit pixel, and, as for 4, a detecting transistor and 6 served both as read-out and reset, as for 16, and 17 are FD wiring which connects an FD part and the gate of the detecting transistor 4. The gate line 16 which served both as read-out and reset is connected to the gate of

the read transistor 2 of the pixel of the Nth line, and the gate of the reset transistor 3 of the pixel of a  $(N+1)$  line when making N into an integer. The detecting transistor 4 is connected to the different signal wire 6 for every row. A different VDD power supply pulse for every line is given to the lateral drain wire 7.

[0010]According to drawing 1, the composition of each unit pixel 15 is reduced by 1 wiring (signal wire 6) of a lengthwise direction, 2 lateral wiring (the drain wire 7 and the gate line 16 which served both as read-out and reset), and three transistors (the read transistor 2, the reset transistor 3, and the detecting transistor 4).

[0011]Drawing 2 shows the example of composition of the vertical shift register 12. Vin, T1, and T2 are timing pulses given from the timing generating circuit 11. The capacitor 18 is formed in each stage of the shift register, and Sig1, Sig2, and Sig3 are the outputs of shift register each stage.

[0012]Drawing 3 shows the example of composition of the drive circuit for driving the amplified type unit pixel 15 of drawing 1. As for an electric charge read pulse generation circuit and 23, in drawing 3, eye N stage of the vertical shift register 12 and 21 are [ an OR circuit and 25 ] VDD horizontal wiring power supply circuits a reset pulse generating circuit and 24 eye the stage (N+1) of the vertical shift register 12, and 22 20. The electric charge read pulse generation circuit 22 is a circuit for generating the AND signal of N stage output SigN of the vertical

shift register 12, and the conventional read pulse. The reset pulse generating circuit 23 is a circuit for generating the AND signal of the stage (N+1) output Sig (N+1) of the vertical shift register 12, and the conventional reset pulse. OR circuit 24 is a circuit for supplying the OR signal of the output of the electric charge read pulse generation circuit 22, and the output of the reset pulse generating circuit 23 to the gate line 16. The VDD horizontal wiring power supply circuit 25 is a circuit for supplying the AND signal of N stage output SigN of the vertical shift register 12, and the conventional power supply pulse to the drain wire 7.

[0013]Drawing 4 is a timing chart figure for explaining operation of the drive circuit of drawing 3. "The potential of FD2" in drawing 4 shows the potential of the FD part in the amplified type unit pixel (the 1st pixel) 15 of drawing 1. Drawing 5 (a) is a figure showing the relative position of each potential in the 1st pixel, and drawing 5 (b) - drawing 5 (g) are the potential figures of the pixel in accordance with operation of the drive circuit of drawing 3. The timing t1-t6 in drawing 5 (b) - drawing 5 (g) supports the timing t1-t6 in drawing 4, respectively. Here, the LOW level potential of the drain wire 7 of the 1st pixel at the time of reset of the 2nd pixel that adjoins the 1st pixel is set as potential higher than the potential depth of PD1 of the 1st pixel. The potential under the gate concerned when LOW level voltage is given to the gate of the reset transistor 3 of the 1st pixel is set as potential higher than the LOW level potential of the drain wire 7.

Therefore, as a result of throwing away efficiently the unnecessary electric charge of PD1 in the 1st pixel as shown, for example in drawing 5 (e) even if a pulse is given to the read transistor 2 of the 1st pixel in the case of reset of the 2nd pixel, the back run of the electric charge from an FD part to PD1 is prevented. And the LOW level voltage given to the gate of the read transistor 2 of the pixel so that the OFF state of the detecting transistor 4 of the 1st pixel can be secured in situations other than drawing 5 (c), It is set up become voltage lower than the LOW level voltage given to the gate of the reset transistor 3 of the pixel.

[0014]In this case, at least 1 time in the period when the signal charge read from PD1 is stored in the FD part, and the period which resets the signal charge of this FD part needs to set the potential of the drain wire 7 as HIGH level potential. When throwing away the unnecessary electric charge acquired by PD1 for realization of an electronic shutter function, the unnecessary electric charge read from PD1 should just set the potential of the drain wire 7 as HIGH level potential in the period currently stored in the FD part, and the period which resets the unnecessary electric charge of this FD part. However, what is necessary is just to set the potential of the drain wire 7 as HIGH level potential in the period [ one / the read transistor 2 and the reset transistor 3 / a period / simultaneously ], in resetting promptly the unnecessary electric charge read from PD1 to the FD part.

In order to realize an interlaced display, it constitutes that the signal charge of 2 pixels or more which adjoins a column direction mutually should be detected so that the potential of the drain wire 7 of two or more lines can be set as HIGH level potential within 1 horizontal blanking period.

[0015]The LOW level potential of the drain wire 7 of the 1st pixel at the time of reset of the 2nd pixel, It may be made to set the potential under the gate concerned when it is set as potential lower than the potential depth of PD1 of the 1st pixel and LOW level voltage is given to the gate of the reset transistor 3 of the 1st pixel as potential higher than the LOW level potential of the drain wire 7. Thereby, if a pulse is given to the read transistor 2 of the 1st pixel in the case of reset of the 2nd pixel, what is called a "pump-priming effect" that makes LOW level potential of VDD the reference potential of PD for the measure against an afterimage can be demonstrated.

[0016]Drawing 6 shows the modification of drawing 5 (a) - drawing 5 (g) corresponding to [ in drawing 7 (a) - drawing 7 (g) ] drawing 6 for the modification of operation of drawing 4, respectively. As shown in drawing 6 and drawing 7 (a) - drawing 7 (g), enlarging the difference of the LOW level potential of VDD and the potential of PD1 can also prevent the back run of the electric charge of PD1. In this case, LOW level voltage given to the gates of the read transistor 2 and the reset transistor 3 can be made the same, and a manufacturing process can be

simplified.

[0017]Drawing 8 shows other examples of composition of the drive circuit for driving the amplified type unit pixel of drawing 1. As for 30, in drawing 8, the 2nd power supply pulse generation circuit and 32 are VDD horizontal wiring power supply OR circuits the 1st power supply pulse generation circuit and 31. The 1st power supply pulse generation circuit 30 is a circuit for generating the AND signal of N stage output SigN of the vertical shift register 12, and the 1st power supply pulse in the 1st period. The 2nd power supply pulse generation circuit 31 is a circuit for generating the AND signal of the stage (N+1) output Sig (N+1) of the vertical shift register 12, and the 2nd power supply pulse in the 2nd period following the 1st period. VDD horizontal wiring power supply OR circuit 32 is a circuit for supplying the OR signal of the output of the 1st power supply pulse generation circuit 30, and the output of the 2nd power supply pulse generation circuit 31 to the drain wire 7. The circuitry for driving the gate line 16 is the same as that of the case of drawing 3.

[0018]Drawing 9 is a timing chart figure for explaining operation of the drive circuit of drawing 8. "The potential of FD2" in drawing 9 shows the potential of the FD part in the amplified type unit pixel (the 1st pixel) 15 of drawing 1. In order to keep the LOW level potential of the drain wire 7 from flowing backwards to PD1, here, In the timing t4-t6 in drawing 9, after the "OR circuit output 2" which is

an OR signal of the output of the electric charge read pulse generation circuit 22 and the output of the reset pulse generating circuit 23 is set to LOW after the timing t4, He is trying to set a VDD power supply pulse (VDD2) to a LOW level (t5). Drawing 10 (a) is a figure showing the relative position of each potential in the 1st pixel, and drawing 10 (b) - drawing 10 (g) are the potential figures of the pixel in accordance with operation of the drive circuit of drawing 6. The timing t1-t6 in drawing 10 (b) - drawing 10 (g) supports the timing t1-t6 in drawing 9, respectively. Here the potential of the drain wire 7 of the 1st pixel at the time of reset of the 2nd pixel that adjoins the 1st pixel to HIGH level potential. The potential of the drain wire 7 which is the 1st pixel in case the signal charge obtained by photoelectric conversion in the 2nd pixel is read to an FD part by the read transistor 2 and the detecting transistor 4 operates (t5) is set as LOW level potential (here zero), respectively. The potential under the gate concerned when LOW level voltage is given to the gate of the reset transistor 3 of the 1st pixel is set as potential higher than the potential depth of PD1 of the 1st pixel. Therefore, even if a pulse is given to the read transistor 2 of the 1st pixel in the case of reset of the 2nd pixel, as shown, for example in drawing 10 (e), the back run of the electric charge from the FD part in the 1st pixel to PD1 is prevented. And since the potential of the drain wire 7 of the 1st pixel at the time of read-out of the 2nd pixel is LOW level potential as shown in drawing 10 (f), the OFF state of the



detecting transistor 4 in the 1st pixel can be secured, and mixing of the output signal in the signal wire 6 can be prevented. It is good also considering the reset transistor 3 as a depletion type. The OFF state of the detecting transistor 4 is [ the LOW level potential of the drain wire 7 ] securable also as zero.

[0019]Drawing 11 shows drawing 3 and the concrete example of composition of the drive circuit of drawing 8. As for C1 and C2, in drawing 11, a switch, and Tr1 and Tr2 are the transistors for prevention of backflow a capacitor, and SW1 and SW2. The composition of drawing 11 is the dynamic circuit constituted by the 1st AND circuit that consists of C1, SW1, and Tr1, the 2nd AND circuit that consists of C2, SW2, and Tr2, and wired OR connection of the output of these both AND circuits. For example, wired OR connection corresponds to OR circuit 24 corresponding to [ corresponding to the electric charge read pulse generation circuit 22 in the 1st AND circuit ] the reset pulse generating circuit 23 in the 2nd AND circuit, respectively (refer to drawing 3). In this case, the 1st two input  $\phi_iA$  and  $\phi_iT$  of an AND circuit are equivalent to N stage output SigN of the vertical shift register 12, and the conventional read pulse, respectively, The 2nd two input  $\phi_iX$  and  $\phi_iR$  of an AND circuit are equivalent to the stage (N+1) output Sig (N+1) of the vertical shift register 12, and the conventional reset pulse, respectively. In the 1st AND circuit, switch SW1 impresses 1st pulse signal  $\phi_iA$  to the end (+ side) of the capacitor C1. 2nd pulse signal  $\phi_iT$  is impressed to the

other end (- side) of this capacitor C1. The other end (- side) of the capacitor C1 concerned combines the gate of transistor Tr1 with one end (+ side) of the capacitor C1, a drain is combined with it, and source is combined with the wired OR node, respectively. It has composition also with the 2nd same AND circuit. phiB and phiY are the signals for controlling opening and closing of the switches SW1 and SW2, respectively.

[0020]Drawing 12 is a timing chart figure for explaining operation of the 1st AND circuit in the circuit of drawing 11. According to drawing 12, after switch SW1 has been closed by control signal phiB, the rising edge of 1st pulse signal phiA comes. The capacitor C1 is charged by this, and even after switch SW1 opens, as for the capacitor C1, charge voltages (HIGH level voltage which has the polarity shown in drawing 11) are held. When 2nd pulse signal phiT comes in this state, as a result of overlapping the charge voltages of the capacitor C1 on the HIGH level voltage of this signal, and the pulse signal phiT concerned falls out to the wired OR node. [ transistor Tr1 ] Then, as a result of closing switch SW1 again after falling of 1st pulse signal phiA, the capacitor C1 is discharged and it returns to the original state.

[0021]According to each AND circuit in drawing 11, the back run of the electric charge from an output side to an input side is prevented. Therefore, also where the capacitor 18 in the vertical shift register 12 shown in drawing 2 is charged,

trouble does not arise in operation of the vertical shift register 12 concerned.

However, the dynamic circuit which has a prevention-of-backflow function of drawing 11 has not only the solid state camera concerning this embodiment but a wide application range.

[0022]Drawing 13 shows the example of a wiring layout in the amplified type unit pixel 15 of drawing 1. The signal wire 6 and the drain wire 7 are wired so that it may cross in a mutually different layer that a leak lump of light should be prevented. The drain wire 7 and the FD wiring 17 consist of the upper 1st layer metal from the gate line 16 (un-illustrating), and, specifically, the signal wire 6 consists of the upper 2nd layer metal from this. The FD wiring 17 is light blocking effect metal of the 1st layer here, and the signal wire 6 is light blocking effect metal of the 2nd layer. A light-shielding film may be further provided on the signal wire 6. Since the layer accumulated on a semiconductor substrate can be made thin if the drain wire 7 and the gate line 16 are constituted from same wiring layer, for example, polysilicon, a polycide, silicide, etc., the condensing rate in the opening of PD1 is improved.

[0023]Drawing 14 shows other examples of a wiring layout in the amplified type unit pixel 15 of drawing 1. Also in this example, that a leak lump of light should be prevented, the signal wire 6 and the drain wire 7 are wired so that it may cross in a mutually different layer. The signal wire 6 and the FD wiring 17 consist

of the upper 1st layer metal from the gate line 16 (un-illustrating), and, specifically, the drain wire 7 consists of the upper 2nd layer metal from this. The FD wiring 17 is light blocking effect metal of the 1st layer here, and the drain wire 7 is light blocking effect metal of the 2nd layer. A light-shielding film may be further provided on the drain wire 7.

[0024]Drawing 15 shows the example of composition of other solid state cameras concerning this invention. In the example of drawing 15, the VDD common wiring (single drain layer) 41 is formed on polysilicon / aluminum wiring 40. That is, the drain wires 7 of the transverse direction in drawing 1 are reduced further, and the drain area of each unit pixel is connected to the single drain layer 41 which serves as a light-shielding film. If it explains concretely, a signal wire and FD wiring will consist of upper polysilicon / aluminum wiring 40 from a gate line (un-illustrating), and the drain layer 41 will consist of the upper 2nd layer metal from this. FD wiring is light blocking effect metal of the 1st layer here, and the drain layer 41 is light blocking effect metal of the 2nd layer. The drain layer 41 is good to serve also as the cell light-shielding film of an optical black part. However, the composition of drawing 15 is applicable also to the solid state camera which does not have the gate line which served both as read-out and reset.

[0025]Drawing 16 shows the modification of the composition of drawing

3. According to drawing 2, it turns out that the input timing pulse T1 for driving the vertical shift register 12 or T2 becomes the output Sig of shift register each stage (N) (N= 1, 2 and 3, --). According to drawing 16, N stage output SigN of the vertical shift register 12 carries out the direct drive of the drain wire 7, without passing the VDD horizontal wiring power supply circuit 25 (refer to drawing 3). That is, according to the example of drawing 16, the driver who constitutes the VDD horizontal wiring power supply circuit 25 can be omitted, and size reduction and low power consumption of a semiconductor substrate can be realized. It may be made to drive the gate line 16 which served both as read-out and reset with the output of each stage of the vertical shift register 12.

[0026] Although the above-mentioned embodiment showed the case where a transistor was N-channel MOS, the case where a transistor is P-channel MOS, and the case of CMOS are also making it operate by the same principle, and it can realize the same effect. This invention is not limited to the above-mentioned embodiment, and can take various combination, such as a unit pixel, a vertical shift register, the drive circuit and wiring, and structure of a light-shielding film, as an embodiment. Although the above-mentioned embodiment showed the case of the N type photo-diode, it cannot be overemphasized that the relation between each voltage and potential becomes reverse in the case of a P type photo-diode.

[0027]

[Effect of the Invention] Since a power supply pulse can be selectively supplied for every line in a solid state camera according to this invention as explained above, power consumption is reduced.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is a circuit diagram showing the example of composition of the amplified type unit pixel in the solid state camera concerning this invention.

[Drawing 2] It is a circuit diagram showing the example of composition of a vertical shift register.

[Drawing 3] It is a block diagram showing the example of composition of the drive circuit for driving the amplified type unit pixel of drawing 1.

[Drawing 4] It is a timing chart figure for explaining operation of the drive circuit of drawing 3.

[Drawing 5] (a) is a figure showing the relative position of each potential in the amplified type unit pixel of drawing 1, and (b) - (g) is a potential figure of the pixel in accordance with operation of the drive circuit of drawing 3.

[Drawing 6] It is a timing chart figure showing the modification of operation of drawing 4.

[Drawing 7] (a) - (g) is a figure corresponding to drawing 6 showing the modification of drawing 5 (a) - drawing 5 (g).

[Drawing 8] It is a block diagram showing other examples of composition of the drive circuit for driving the amplified type unit pixel of drawing 1.

[Drawing 9] It is a timing chart figure for explaining operation of the drive circuit of drawing 8.

[Drawing 10] (a) is a figure showing the relative position of each potential in the

amplified type unit pixel of drawing 1, and (b) - (g) is a potential figure of the pixel in accordance with operation of the drive circuit of drawing 8.

[Drawing 11]It is a circuit diagram showing drawing 3 and the concrete example of composition of the drive circuit of drawing 8.

[Drawing 12]It is a timing chart figure for explaining operation of the circuit of drawing 11.

[Drawing 13]It is a top view showing the example of a wiring layout in the amplified type unit pixel of drawing 1.

[Drawing 14]It is a top view showing other examples of a wiring layout in the amplified type unit pixel of drawing 1.

[Drawing 15]It is a sectional view showing the example of composition of other solid state cameras concerning this invention.

[Drawing 16]It is a block diagram showing the modification of the composition of drawing 3.

[Drawing 17]It is a block diagram showing an example of the conventional solid state camera.

[Description of Notations]

1 Photo-diode (PD) [photoelectric conversion region]

2 Read transistor

3 Reset transistor



- 4 Detecting transistor
- 6 Signal wire
- 7 Drain wire (VDD)
- 11 Timing generating circuit
- 12 Vertical shift register
- 13 Horizontal shift register
- 14 Sensitization field
- 15 Amplified type unit pixel
- 16 The gate line which served both as read-out and reset
- 17 Wiring which connects floating diffusion (FD) and a detecting transistor
- 18 Capacitor
- 20 Eye the shift register N stage
- 21 Eye the shift register (N+1) stage
- 22 Electric charge read pulse generation circuit
- 23 Reset pulse generating circuit
- 24 OR circuit
- 25 VDD horizontal wiring power supply circuit
- 30 The 1st power supply pulse generation circuit
- 31 The 2nd power supply pulse generation circuit
- 32 VDD horizontal wiring power supply OR circuit

40 Polysilicon/aluminum wiring

41 VDD common wiring [single drain layer]

C1 and C2 Capacitor

FD Floating diffusion [storage region]

SW1 and SW2 Switch

Tr1 and Tr2 Transistor for prevention of backflow

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-335455  
(P2002-335455A)

(43) 公開日 平成14年11月22日 (2002. 11. 22)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 4 N 5/335		H 0 4 N 5/335	Z 4 M 1 1 8
H 0 1 L 27/146		H 0 1 L 27/14	E 5 C 0 2 4
			A

審査請求 未請求 請求項の数12 O L (全 12 頁)

(21) 出願番号 特願2002-55195 (P2002-55195)  
(22) 出願日 平成14年3月1日 (2002. 3. 1)  
(31) 優先権主張番号 特願2001-60006 (P2001-60006)  
(32) 優先日 平成13年3月5日 (2001. 3. 5)  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72) 発明者 山口 琢己  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72) 発明者 菰渕 寛仁  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(74) 代理人 100077931  
弁理士 前田 弘 (外7名)

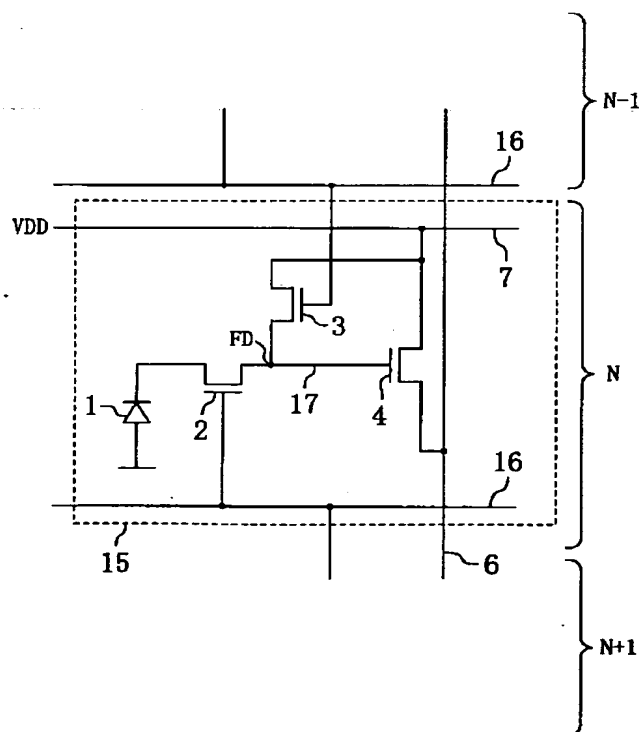
最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 画素にフローティングディフュージョン (F D) 型アンプを内蔵した M O S 型センサの消費電力を削減する。

【解決手段】 単位画素のドレイン領域 (リセットトランジスタ 3 を介して F D 部へパルス電圧を供給するための領域) を 1 行毎に異なるドレイン線 7 に接続し、1 行毎に選択的に電源パルスを供給する。この電源パルスは、少なくとも F D 部の信号電荷をリセットする期間と、F D 部の信号電荷を検出する期間とにおいて H I G H レベル電位に設定される。



**【特許請求の範囲】**

**【請求項 1】** 半導体基板上に、各々入射光を光電変換するための光電変換領域と、前記光電変換で得られた信号電荷を読み出すための読み出しトランジスタと、前記読み出された信号電荷を蓄えるための蓄積領域と、前記蓄積領域の電位がゲートに加わることで前記読み出された信号電荷を検出するための検出トランジスタと、前記蓄積領域の信号電荷をリセットするためのリセットトランジスタと、前記リセットトランジスタを介して前記蓄積領域へパルス電圧を供給するためのドレイン領域とを有する複数の増幅型単位画素を二次元状に配列した固体撮像装置において、

前記複数の増幅型単位画素のドレイン領域は、1 行毎に異なるドレイン線に接続され、かつ、少なくとも前記蓄積領域の信号電荷をリセットする期間と、前記蓄積領域の信号電荷を検出する期間とは前記ドレイン線の電位を H I G H レベル電位に設定するように、前記ドレイン線がパルス駆動されることを特徴とする固体撮像装置。

**【請求項 2】** 請求項 1 記載の固体撮像装置において、更に前記読み出しトランジスタがオンしている期間に前記ドレイン線の電位を H I G H レベル電位に設定するように構成されたことを特徴とする固体撮像装置。

**【請求項 3】** 請求項 1 又は 2 に記載の固体撮像装置において、前記複数の増幅型単位画素のうちのある行を選択するための垂直シフトレジスタと、前記垂直シフトレジスタのある段の出力を用いて生成した電源パルス、を、対応する行のドレイン線に与えるための回路とを更に備えたことを特徴とする固体撮像装置。

**【請求項 4】** 請求項 1 又は 2 に記載の固体撮像装置において、前記複数の増幅型単位画素のうちのある行又は列を選択するためのシフトレジスタを更に備え、前記複数の増幅型単位画素の各々は、前記シフトレジスタを駆動するパルスで駆動されることを特徴とする固体撮像装置。

**【請求項 5】** 請求項 1 ～ 4 のいずれか 1 項に記載の固体撮像装置において、前記複数の増幅型単位画素のうち列方向に互いに隣接する 2 画素以上の信号電荷を検出すべく、ブランキング期間内に 2 行以上のドレイン線の電位を H I G H レベル電位に設定できるように構成されたことを特徴とする固体撮像装置。

**【請求項 6】** 請求項 1 ～ 5 のいずれか 1 項に記載の固体撮像装置において、前記光電変換領域から読み出された信号電荷が前記蓄積領域に蓄えられている期間と、前記蓄積領域の信号電荷をリセットする期間のうち少なくとも 1 回とは、前記ドレイン線の電位を H I G H レベル電位に設定するように

構成されたことを特徴とする固体撮像装置。

**【請求項 7】** 請求項 1 ～ 6 のいずれか 1 項に記載の固体撮像装置において、前記光電変換領域で得られた不要電荷を捨てるべく、前記光電変換領域から読み出された不要電荷が前記蓄積領域に蓄えられている期間と、前記蓄積領域の不要電荷をリセットする期間とは、前記ドレイン線の電位を H I G H レベル電位に設定するように構成されたことを特徴とする固体撮像装置。

**【請求項 8】** 請求項 1 ～ 6 のいずれか 1 項に記載の固体撮像装置において、前記光電変換領域で得られた不要電荷を捨てるべく、前記読み出しトランジスタと前記リセットトランジスタとが同時にオンする期間に、前記ドレイン線の電位を H I G H レベル電位に設定するように構成されたことを特徴とする固体撮像装置。

**【請求項 9】** 請求項 1 ～ 8 のいずれか 1 項に記載の固体撮像装置において、前記ドレイン線は、前記各トランジスタのゲートと同一の配線層で形成されていることを特徴とする固体撮像装置。

**【請求項 10】** 請求項 1 ～ 9 のいずれか 1 項に記載の固体撮像装置において、前記蓄積領域と前記検出トランジスタのゲートとを結ぶ配線は、第 1 層目の遮光性金属からなることを特徴とする固体撮像装置。

**【請求項 11】** 請求項 1 ～ 10 のいずれか 1 項に記載の固体撮像装置において、前記複数の増幅型単位画素の検出トランジスタは、1 列毎に異なる信号線に接続され、前記蓄積領域と前記検出トランジスタのゲートとを結ぶ配線と、前記ドレイン線とは、第 1 層目金属からなり、かつ、前記信号線は、前記第 1 層目金属より上層の第 2 層目金属からなることを特徴とする固体撮像装置。

**【請求項 12】** 請求項 1 ～ 10 のいずれか 1 項に記載の固体撮像装置において、前記複数の増幅型単位画素の検出トランジスタは、1 列毎に異なる信号線に接続され、前記蓄積領域と前記検出トランジスタのゲートとを結ぶ配線と、前記信号線とは、第 1 層目金属からなり、かつ、前記ドレイン線は、前記第 1 層目金属より上層の第 2 層目金属からなることを特徴とする固体撮像装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、デジタルカメラ等に使用される M O S 型の固体撮像装置に関するものである。

**【0002】**

【従来の技術】図17は、MOSトランジスタで構成された従来の固体撮像装置の一例を示している。この固体撮像装置は、半導体基板上に、各々フォトダイオード

(PD)1と、読み出しトランジスタ2と、フローティングディフュージョン(FD)部と、リセットトランジスタ3と、検出トランジスタ4と、アドレストランジスタ5とを有する複数の増幅型単位画素を二次元状に配列した感光領域14を備えた固体撮像装置であって、更に信号線6、ドレイン線7、読み出しゲート線8、リセットゲート線9、アドレスゲート線10、画素行を選択する垂直シフトレジスタ12、画素列を選択する水平シフトレジスタ13、両シフトレジスタ12、13に必要なパルスを供給するタイミング発生回路11などにより構成されている。

【0003】PD1で光電変換された信号電荷は、読み出しトランジスタ2により、信号電荷を蓄えるための蓄積領域であるFD部に読み出される。このFD部に読み出された電荷の量によりFD部の電位が決定され、検出トランジスタ4のゲート電圧が変化し、アドレストランジスタ5が選択されたことを条件として、信号線6に信号電圧が取り出される。

【0004】

【発明が解決しようとする課題】図17の従来技術によれば、1行毎に信号線6に信号電圧が取り出されるにもかかわらず、二次元状に配列した複数の増幅型単位画素の全てに同時に、縦方向のドレイン線7を介して電源パルスが供給されるようになっていた。したがって、消費電力が大きいという課題があった。

【0005】本発明の目的は、固体撮像装置における消費電力を削減することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明の固体撮像装置は、複数の増幅型単位画素のドレイン領域(リセットトランジスタを介してFD部へパルス電圧を供給するための領域)を1行毎に異なるドレイン線に接続することとしたものである。この構成により、1行毎に選択的に電源パルスを供給することができるので、消費電力が削減される。しかも、少なくとも蓄積領域の信号電荷をリセットする期間と、蓄積領域の信号電荷を検出する期間とはドレイン線の電位をHIGHレベル電位に設定するように、ドレイン線をパルス駆動することとした。つまり、必要な期間にのみドレイン線が駆動されるので、消費電力が更に削減される。

【0007】更に読み出しトランジスタがオンしている期間にドレイン線の電位をHIGHレベル電位に設定するように構成すれば、ドレイン線のLOWレベル電位に起因した光電変換領域(PD)への電荷の逆流の心配がない。

【0008】

【発明の実施の形態】以下、本発明の実施形態に係る固

体撮像装置について説明する。

【0009】図1は、本発明に係る固体撮像装置における増幅型単位画素の構成例を示している。図1において、1はフォトダイオード(PD)、2は読み出しトランジスタ、FDはフローティングディフュージョン部、3はリセットトランジスタ、4は検出トランジスタ、6は信号線、7はドレイン線(VDD)、15は増幅型単位画素、16は読み出しとリセットを兼ねたゲート線、17はFD部と検出トランジスタ4のゲートとを結ぶFD配線である。読み出しとリセットを兼ねたゲート線16は、Nを整数とすると、第N行の画素の読み出しトランジスタ2のゲートと、第(N+1)行の画素のリセットトランジスタ3のゲートとに接続されている。検出トランジスタ4は、1列毎に異なる信号線6に接続されている。また、横方向のドレイン線7には1行毎に異なるVDD電源パルスが与えられるようになっている。

【0010】図1によれば、各単位画素15の構成は、縦方向の1配線(信号線6)と、横方向の2配線(ドレイン線7と、読み出しとリセットを兼ねたゲート線16)と、3トランジスタ(読み出しトランジスタ2、リセットトランジスタ3及び検出トランジスタ4)に削減される。

【0011】図2は、垂直シフトレジスタ12の構成例を示している。Vin、T1及びT2は、タイミング発生回路11から与えられるタイミングパルスである。シフトレジスタの各段にキャパシタ18が設けられており、Sig1、Sig2及びSig3はシフトレジスタ各段の出力である。

【0012】図3は、図1の増幅型単位画素15を駆動するための駆動回路の構成例を示している。図3において、20は垂直シフトレジスタ12のN段目、21は垂直シフトレジスタ12の(N+1)段目、22は電荷読み出しパルス発生回路、23はリセットパルス発生回路、24はOR回路、25はVDD横配線電源回路である。電荷読み出しパルス発生回路22は、垂直シフトレジスタ12のN段目出力SigNと従来の読み出しパルスとのAND信号を発生するための回路である。リセットパルス発生回路23は、垂直シフトレジスタ12の(N+1)段目出力Sig(N+1)と従来のリセットパルスとのAND信号を発生するための回路である。OR回路24は、電荷読み出しパルス発生回路22の出力とリセットパルス発生回路23の出力とのOR信号をゲート線16へ供給するための回路である。VDD横配線電源回路25は、垂直シフトレジスタ12のN段目出力SigNと従来の電源パルスとのAND信号をドレイン線7へ供給するための回路である。

【0013】図4は、図3の駆動回路の動作を説明するためのタイミングチャート図である。図4中の「FD2の電位」は図1の増幅型単位画素(第1の画素)15におけるFD部の電位を示す。また、図5(a)は第1の

画素における各ポテンシャルの相対位置を示す図であり、図5(b)～図5(g)は図3の駆動回路の動作に伴う同画素のポテンシャル図である。図5(b)～図5(g)中のタイミング $t_1 \sim t_6$ は、図4中のタイミング $t_1 \sim t_6$ にそれぞれ対応している。ここで、第1の画素に隣接する第2の画素のリセット時の第1の画素のドレイン線7のLOWレベル電位は、第1の画素のPD1の電位深さよりも高い電位に設定される。また、第1の画素のリセットトランジスタ3のゲートにLOWレベル電圧が与えられた場合の当該ゲート下のポテンシャルは、ドレイン線7のLOWレベル電位よりも高い電位に設定される。したがって、第2の画素のリセットの際に第1の画素の読み出しトランジスタ2にパルスが与えられても、例えば図5(e)に示すように第1の画素におけるPD1の不要電荷が効率良く捨てられる結果、FD部からPD1への電荷の逆流が防止される。しかも、図5(c)以外の状況で第1の画素の検出トランジスタ4のオフ状態を確保できるように、同画素の読み出しトランジスタ2のゲートに与えられるLOWレベル電圧は、同画素のリセットトランジスタ3のゲートに与えられるLOWレベル電圧よりも低い電圧となるように設定されている。

【0014】この場合、PD1から読み出された信号電荷がFD部に蓄えられている期間と、このFD部の信号電荷をリセットする期間のうち少なくとも1回とは、ドレイン線7の電位をHIGHレベル電位に設定する必要がある。電子シャッタ機能の実現のためにPD1で得られた不要電荷を捨てる場合には、PD1から読み出された不要電荷がFD部に蓄えられている期間と、このFD部の不要電荷をリセットする期間とに、ドレイン線7の電位をHIGHレベル電位に設定すればよい。ただし、PD1からFD部へ読み出された不要電荷を直ちにリセットする場合には、読み出しトランジスタ2とリセットトランジスタ3とが同時にオンする期間にドレイン線7の電位をHIGHレベル電位に設定すればよい。インターレース表示を実現するためには、列方向に互いに隣接する2画素以上の信号電荷を検出すべく、1水平同期期間内に2行以上のドレイン線7の電位をHIGHレベル電位に設定できるように構成する。

【0015】なお、第2の画素のリセット時の第1の画素のドレイン線7のLOWレベル電位を、第1の画素のPD1の電位深さよりも低い電位に設定し、かつ、第1の画素のリセットトランジスタ3のゲートにLOWレベル電圧が与えられた場合の当該ゲート下のポテンシャルを、ドレイン線7のLOWレベル電位よりも高い電位に設定するようにしてもよい。これにより、第2の画素のリセットの際に第1の画素の読み出しトランジスタ2にパルスが与えられると、残像対策のためにVDDのLOWレベル電位をPDの基準電位とする、いわゆる「呼び水効果」を発揮することができる。

【0016】図6は図4の動作の変形例を、図7(a)～図7(g)は図6に対応した、図5(a)～図5(g)の変形例をそれぞれ示している。図6及び図7(a)～図7(g)に示すように、VDDのLOWレベル電位とPD1の電位との差を大きくするだけでも、PD1への電荷の逆流を防ぐことができる。この場合には、読み出しトランジスタ2とリセットトランジスタ3との各々のゲートに与えるLOWレベル電圧を同一にでき、製造プロセスを簡略化することができる。

【0017】図8は、図1の増幅型単位画素を駆動するための駆動回路の他の構成例を示している。図8において、30は第1の電源パルス発生回路、31は第2の電源パルス発生回路、32はVDD横配線電源OR回路である。第1の電源パルス発生回路30は、第1の期間において垂直シフトレジスタ12のN段目出力Signal<sub>N</sub>と第1の電源パルスとのAND信号を発生するための回路である。第2の電源パルス発生回路31は、第1の期間に続く第2の期間において垂直シフトレジスタ12の(N+1)段目出力Signal<sub>(N+1)</sub>と第2の電源パルスとのAND信号を発生するための回路である。VDD横配線電源OR回路32は、第1の電源パルス発生回路30の出力と第2の電源パルス発生回路31の出力とのOR信号をドレイン線7へ供給するための回路である。ゲート線16を駆動するための回路構成は、図3の場合と同様である。

【0018】図9は、図8の駆動回路の動作を説明するためのタイミングチャート図である。図9中の「FD2の電位」は図1の増幅型単位画素(第1の画素)15におけるFD部の電位を示す。ここで、ドレイン線7のLOWレベル電位がPD1へ逆流しないようにするために、図9中のタイミング $t_4 \sim t_6$ において、電荷読み出しパルス発生回路22の出力とリセットパルス発生回路23の出力とのOR信号である「OR回路出力2」がタイミング $t_4$ の後にLOWになった後に、VDD電源パルス(VDD2)がLOWレベルになるようにしている( $t_5$ )。また、図10(a)は第1の画素における各ポテンシャルの相対位置を示す図であり、図10

(b)～図10(g)は図6の駆動回路の動作に伴う同画素のポテンシャル図である。図10(b)～図10(g)中のタイミング $t_1 \sim t_6$ は、図9中のタイミング $t_1 \sim t_6$ にそれぞれ対応している。ここで、第1の画素に隣接する第2の画素のリセット時の第1の画素のドレイン線7の電位はHIGHレベル電位に、第2の画素において光電変換で得られた信号電荷が読み出しトランジスタ2によりFD部に読み出されて検出トランジスタ4が動作する時( $t_5$ )の第1の画素のドレイン線7の電位はLOWレベル電位(ここではゼロ)にそれぞれ設定される。また、第1の画素のリセットトランジスタ3のゲートにLOWレベル電圧が与えられた場合の当該ゲート下のポテンシャルは、第1の画素のPD1の電位

深さよりも高い電位に設定される。したがって、第2の画素のリセットの際に第1の画素の読み出しトランジスタ2にパルスが与えられても、例えば図10(e)に示すように第1の画素におけるFD部からPD1への電荷の逆流が防止される。しかも、図10(f)に示すように第2の画素の読み出し時の第1の画素のドレイン線7の電位がLOWレベル電位であるので、第1の画素における検出トランジスタ4のオフ状態を確保でき、信号線6における出力信号の混合を防止できる。なお、リセットトランジスタ3をディプレッション型としてもよい。また、ドレイン線7のLOWレベル電位をゼロとしても、検出トランジスタ4のオフ状態を確保できる。

【0019】図11は、図3及び図8の駆動回路の具体的な構成例を示している。図11において、C1及びC2はキャパシタ、SW1及びSW2はスイッチ、Tr1及びTr2は逆流防止用トランジスタである。図11の構成は、C1、SW1及びTr1からなる第1のAND回路と、C2、SW2及びTr2からなる第2のAND回路と、該両AND回路の出力のワイヤードOR接続とにより構成されたダイナミック回路である。例えば、第1のAND回路が電荷読み出しパルス発生回路22に、第2のAND回路がリセットパルス発生回路23に、ワイヤードOR接続がOR回路24にそれぞれ対応する(図3参照)。この場合、第1のAND回路の2入力 $\phi A$ 及び $\phi T$ がそれぞれ垂直シフトレジスタ12のN段目出力Signalと従来の読み出しパルスとに相当し、第2のAND回路の2入力 $\phi X$ 及び $\phi R$ がそれぞれ垂直シフトレジスタ12の(N+1)段目出力Signal(N+1)と従来のリセットパルスとに相当する。第1のAND回路では、スイッチSW1がキャパシタC1の一端(+側)に第1のパルス信号 $\phi A$ を印加する。このキャパシタC1の他端(-側)には、第2のパルス信号 $\phi T$ が印加される。トランジスタTr1のゲートはキャパシタC1の一端(+側)に、ドレインは当該キャパシタC1の他端(-側)に、ソースはワイヤードOR接続点にそれぞれ結合されている。第2のAND回路も同様の構成を有する。 $\phi B$ 及び $\phi Y$ は、それぞれスイッチSW1及びSW2の開閉を制御するための信号である。

【0020】図12は、図11の回路中の第1のAND回路の動作を説明するためのタイミングチャート図である。図12によれば、制御信号 $\phi B$ によりスイッチSW1が閉じられた状態で、第1のパルス信号 $\phi A$ の立ち上がりエッジが到来する。これによりキャパシタC1が充電され、スイッチSW1が開いた後もキャパシタC1は充電電圧(図11に示した極性を有するHIGHレベル電圧)を保持する。この状態で第2のパルス信号 $\phi T$ が到来すると、この信号のHIGHレベル電圧がキャパシタC1の充電電圧に重畳される結果、トランジスタTr1がオンし、当該パルス信号 $\phi T$ がワイヤードOR接続点へ抜けていく。この後、第1のパルス信号 $\phi A$ の立ち

下がり後にスイッチSW1が再び閉じられる結果、キャパシタC1が放電されて、元の状態に戻る。

【0021】図11中の各AND回路によれば、出力側から入力側への電荷の逆流が防止される。したがって、図2に示した垂直シフトレジスタ12中のキャパシタ18が充電された状態でも、当該垂直シフトレジスタ12の動作に支障が生じることはない。ただし、図11の逆流防止機能を有するダイナミック回路は、本実施形態に係る固体撮像装置に限らず広い応用範囲を有するものである。

【0022】図13は、図1の増幅型単位画素15における配線レイアウト例を示している。信号線6とドレイン線7とは、光の洩れ込みを防止すべく、互いに異なる層で交差するように配線されている。具体的には、ドレイン線7とFD配線17とはゲート線16(不図示)より上層の第1層目金属からなり、信号線6はこれより上層の第2層目金属からなる。ここに、FD配線17は第1層目の遮光性金属であり、信号線6は第2層目の遮光性金属である。信号線6の上に更に遮光膜を設けてもよい。なお、ドレイン線7とゲート線16とを同一の配線層、例えばポリシリコン、ポリサイド、シリサイド等で構成すれば、半導体基板上に積み上げる層を薄くすることができるので、PD1の開口における集光率が改善される。

【0023】図14は、図1の増幅型単位画素15における他の配線レイアウト例を示している。この例でも、光の洩れ込みを防止すべく、信号線6とドレイン線7とは互いに異なる層で交差するように配線されている。具体的には、信号線6とFD配線17とはゲート線16(不図示)より上層の第1層目金属からなり、ドレイン線7はこれより上層の第2層目金属からなる。ここに、FD配線17は第1層目の遮光性金属であり、ドレイン線7は第2層目の遮光性金属である。ドレイン線7の上に更に遮光膜を設けてもよい。

【0024】図15は、本発明に係る他の固体撮像装置の構成例を示している。図15の例では、ポリシリコン/アルミ配線40の上に、VDD共通配線(単一のドレイン層)41が形成される。つまり、図1中の横方向のドレイン線7が更に削減されて、各単位画素のドレイン領域が、遮光膜を兼ねる単一のドレイン層41に接続される。具体的に説明すると、信号線とFD配線とはゲート線(不図示)より上層のポリシリコン/アルミ配線40からなり、ドレイン層41はこれより上層の第2層目金属からなる。ここに、FD配線は第1層目の遮光性金属であり、ドレイン層41は第2層目の遮光性金属である。なお、ドレイン層41は、オプティカルブラック部のセル遮光膜をも兼ねるようにするのがよい。ただし、図15の構成は、読み出しとリセットを兼ねたゲート線を有しない固体撮像装置にも適用可能である。

【0025】図16は、図3の構成の変形例を示してい

る。図2によれば、垂直シフトレジスタ12を駆動するための入力タイミングパルスT1又はT2が、シフトレジスタ各段の出力Sig(N)となることが分かる(N=1, 2, 3, ...)。図16によれば、垂直シフトレジスタ12のN段目出力SigNが、VDD横配線電源回路25(図3参照)を介さずにドレイン線7を直接駆動する。つまり、図16の例によれば、VDD横配線電源回路25を構成するドライバを省略でき、半導体基板のサイズ縮小と低消費電力化とを実現できる。読み出しとリセットを兼ねたゲート線16を垂直シフトレジスタ12の各段の出力で駆動するようにしてもよい。

【0026】なお、上記実施形態はトランジスタがN型MOSの場合を示したが、トランジスタがP型MOSの場合や、CMOSの場合も同様な原理で動作させることで、同様な効果を実現できる。また、本発明は上記実施形態に限定されるものではなく、単位画素、垂直シフトレジスタとその駆動回路、配線や遮光膜の構造など、様々な組み合わせを実施形態として採り得る。また、上記実施形態ではN型フォトダイオードの場合について示したが、P型フォトダイオードの場合は各電圧及び電位の関係が逆になることは言うまでもない。

【0027】

【発明の効果】以上説明してきたとおり、本発明によれば、固体撮像装置において1行毎に選択的に電源パルスを提供することができるので、消費電力が削減される。

【図面の簡単な説明】

【図1】本発明に係る固体撮像装置における増幅型単位画素の構成例を示す回路図である。

【図2】垂直シフトレジスタの構成例を示す回路図である。

【図3】図1の増幅型単位画素を駆動するための駆動回路の構成例を示すブロック図である。

【図4】図3の駆動回路の動作を説明するためのタイミングチャート図である。

【図5】(a)は図1の増幅型単位画素における各ポテンシャルの相対位置を示す図であり、(b)～(g)は図3の駆動回路の動作に伴う同画素のポテンシャル図である。

【図6】図4の動作の変形例を示すタイミングチャート図である。

【図7】(a)～(g)は図6に対応した、図5(a)～図5(g)の変形例を示す図である。

【図8】図1の増幅型単位画素を駆動するための駆動回路の他の構成例を示すブロック図である。

【図9】図8の駆動回路の動作を説明するためのタイミングチャート図である。

【図10】(a)は図1の増幅型単位画素における各ポテンシャルの相対位置を示す図であり、(b)～(g)

は図8の駆動回路の動作に伴う同画素のポテンシャル図である。

【図11】図3及び図8の駆動回路の具体的な構成例を示す回路図である。

【図12】図11の回路の動作を説明するためのタイミングチャート図である。

【図13】図1の増幅型単位画素における配線レイアウト例を示す平面図である。

【図14】図1の増幅型単位画素における他の配線レイアウト例を示す平面図である。

【図15】本発明に係る他の固体撮像装置の構成例を示す断面図である。

【図16】図3の構成の変形例を示すブロック図である。

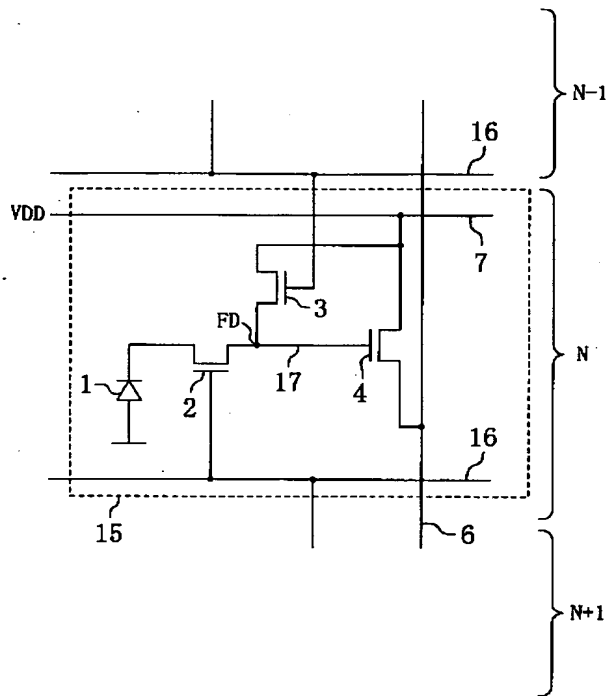
【図17】従来の固体撮像装置の一例を示すブロック図である。

【符号の説明】

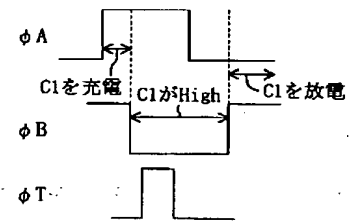
- 1 フォトダイオード(PD) [光電変換領域]
- 2 読み出しトランジスタ
- 3 リセットトランジスタ
- 4 検出トランジスタ
- 6 信号線
- 7 ドレイン線(VDD)
- 11 タイミング発生回路
- 12 垂直シフトレジスタ
- 13 水平シフトレジスタ
- 14 感光領域
- 15 増幅型単位画素
- 16 読み出しとリセットを兼ねたゲート線
- 17 フローティングディフュージョン(FD)と検出トランジスタとを結ぶ配線
- 18 キャパシタ
- 20 シフトレジスタN段目
- 21 シフトレジスタ(N+1)段目
- 22 電荷読み出しパルス発生回路
- 23 リセットパルス発生回路
- 24 OR回路
- 25 VDD横配線電源回路
- 30 第1の電源パルス発生回路
- 31 第2の電源パルス発生回路
- 32 VDD横配線電源OR回路
- 40 ポリシリコン/アルミ配線
- 41 VDD共通配線[単一のドレイン層]
- C1, C2 キャパシタ
- FD フローティングディフュージョン[蓄積領域]
- SW1, SW2 スイッチ
- Tr1, Tr2 逆流防止用トランジスタ



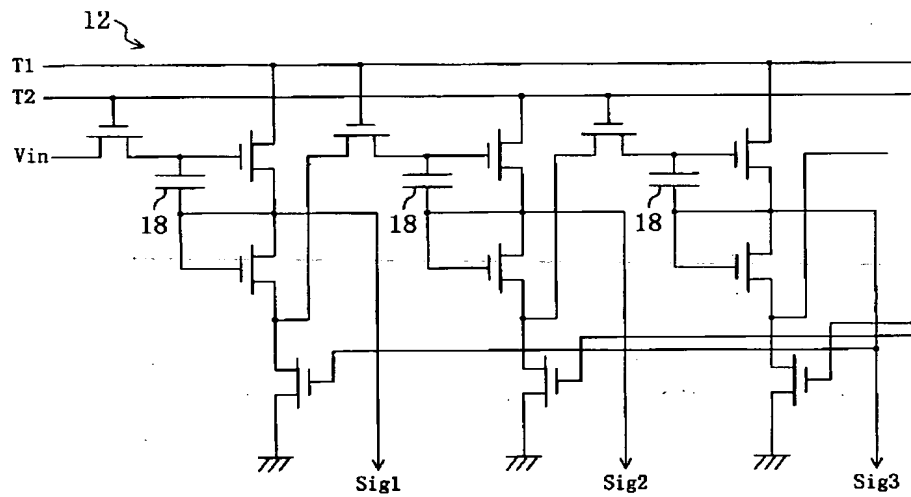
【図1】



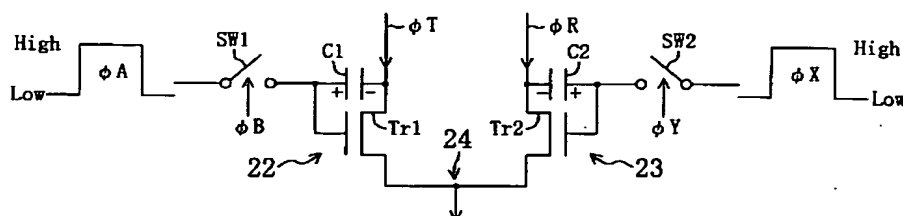
【図12】



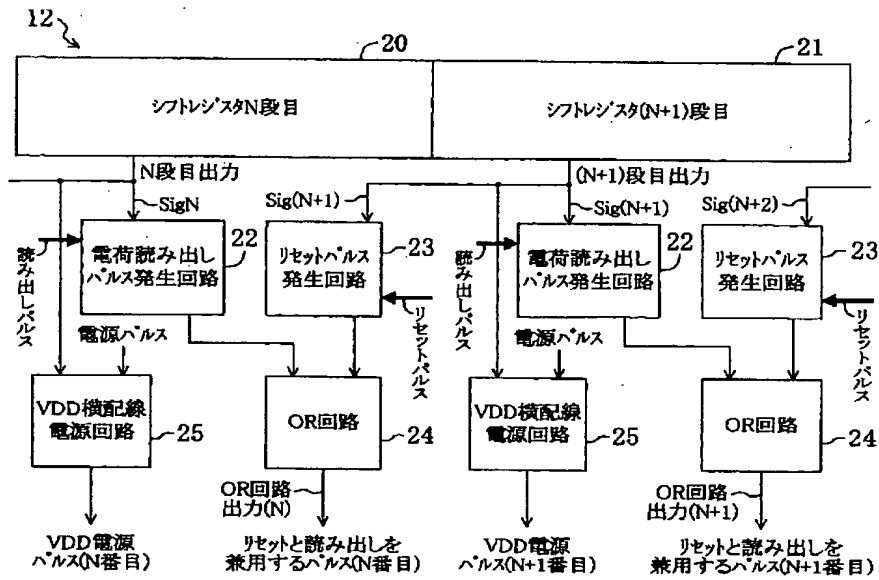
【図2】



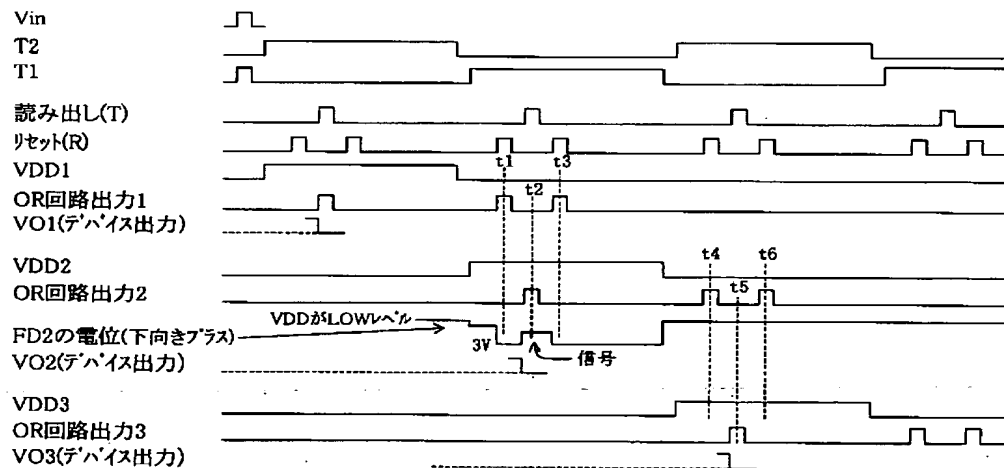
【図11】



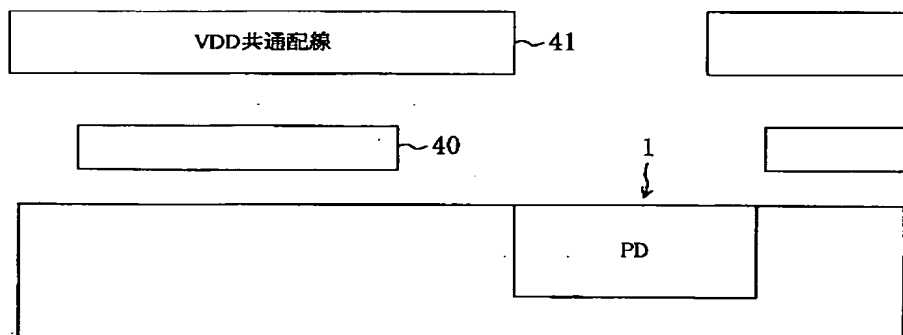
【図3】



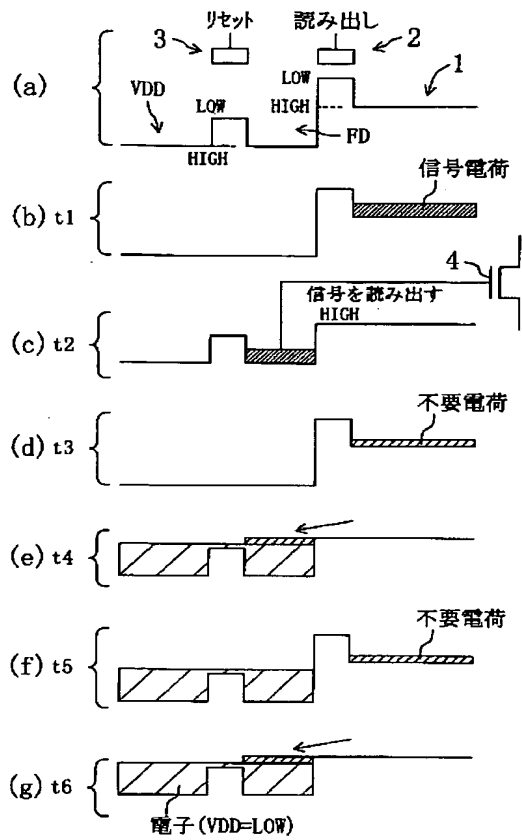
【図4】



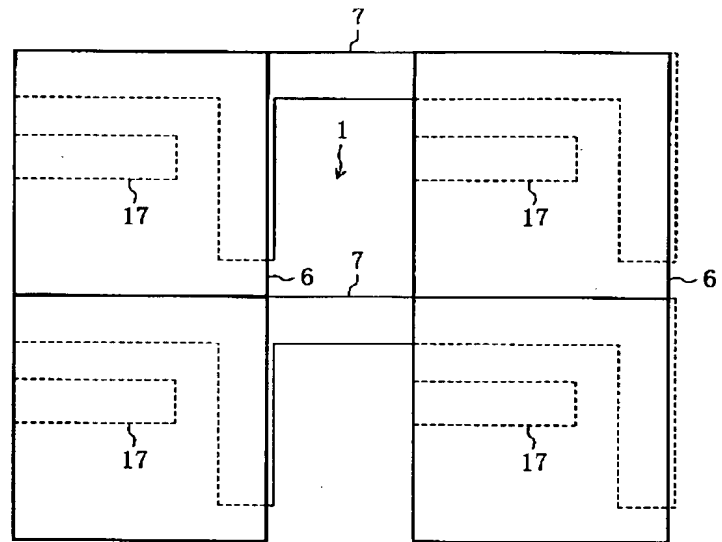
【図15】



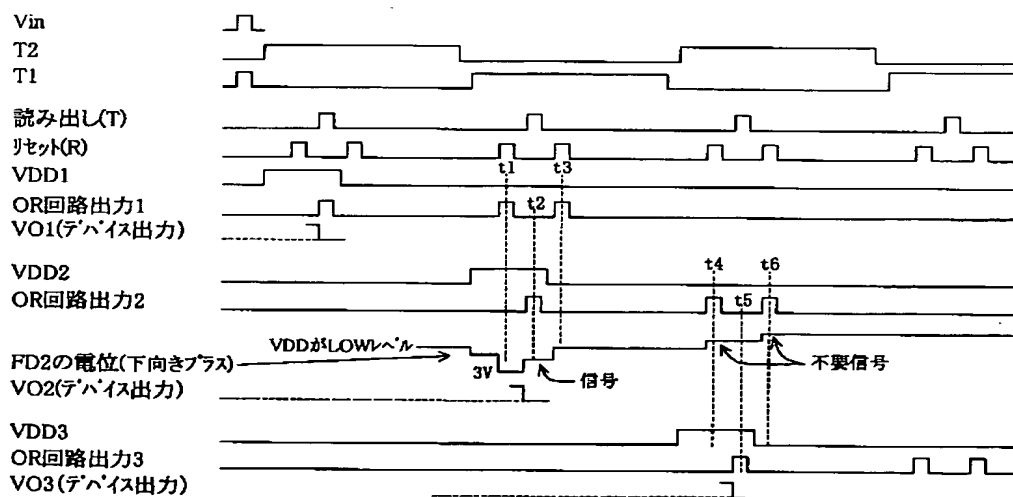
【図5】



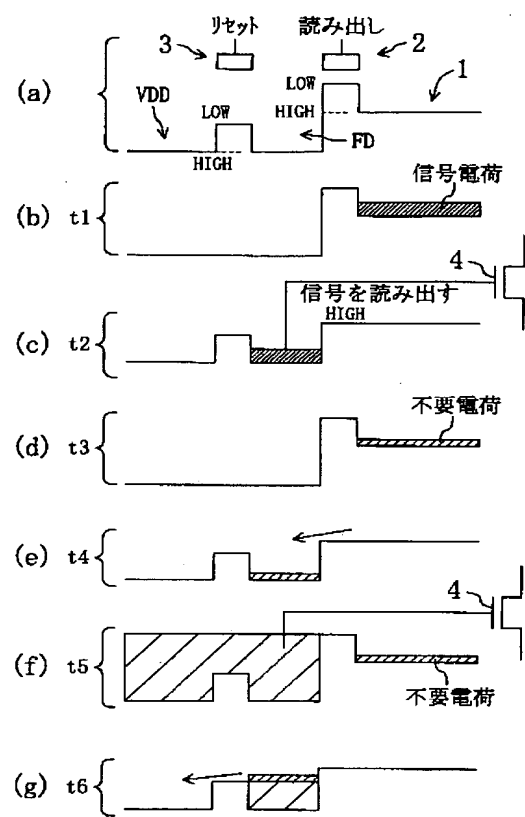
【図13】



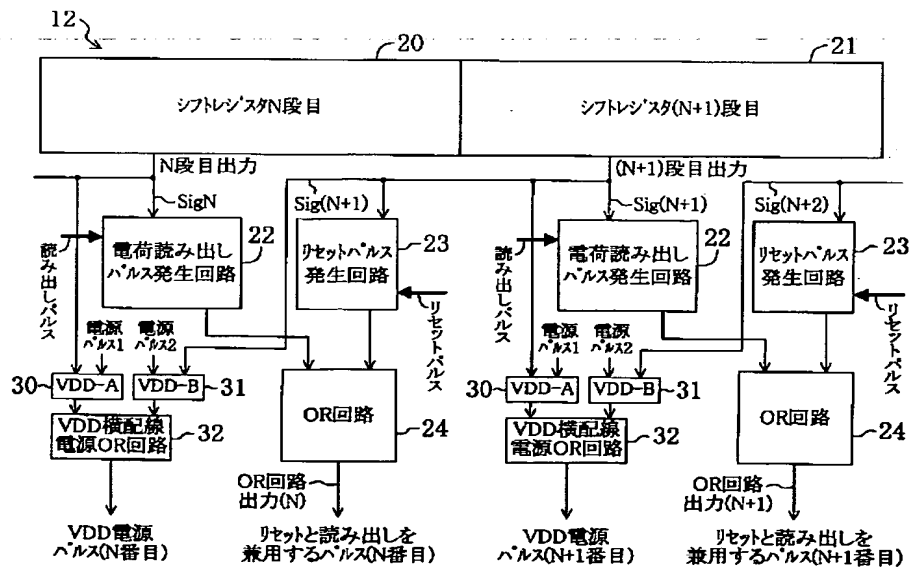
【図6】



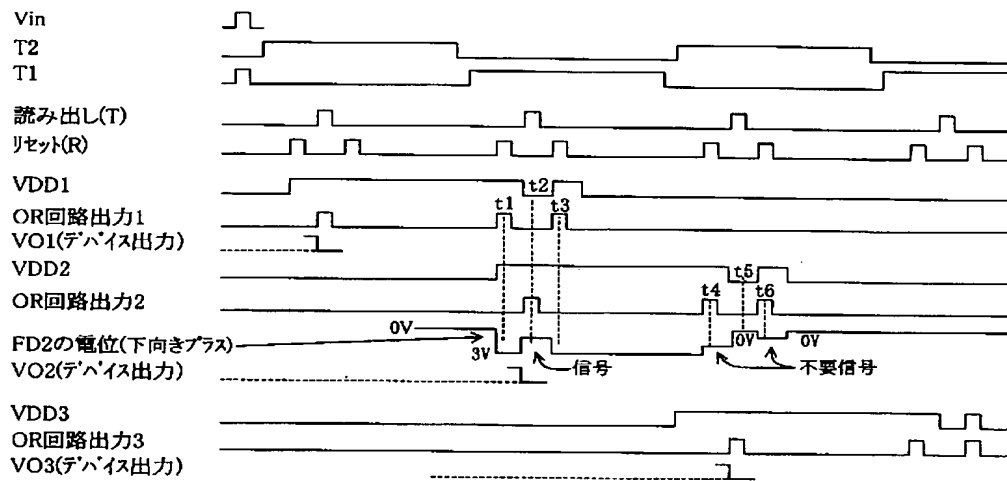
【図 10】



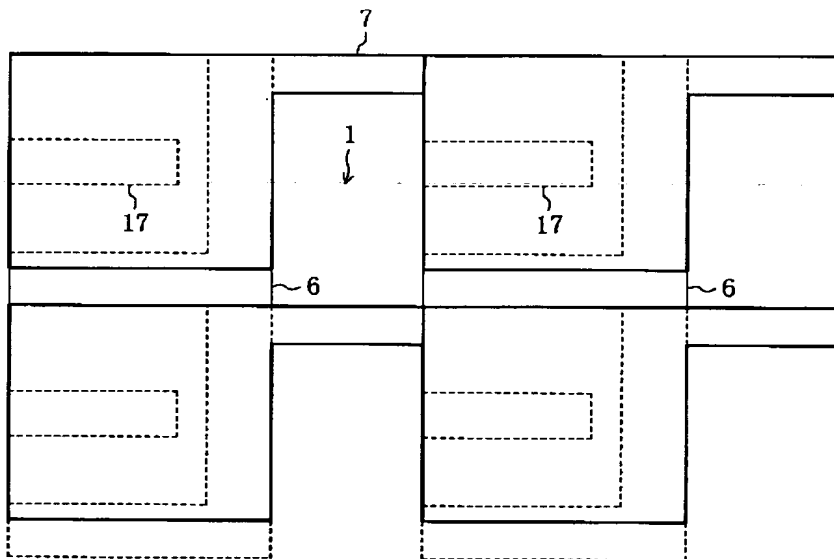
【図 8】



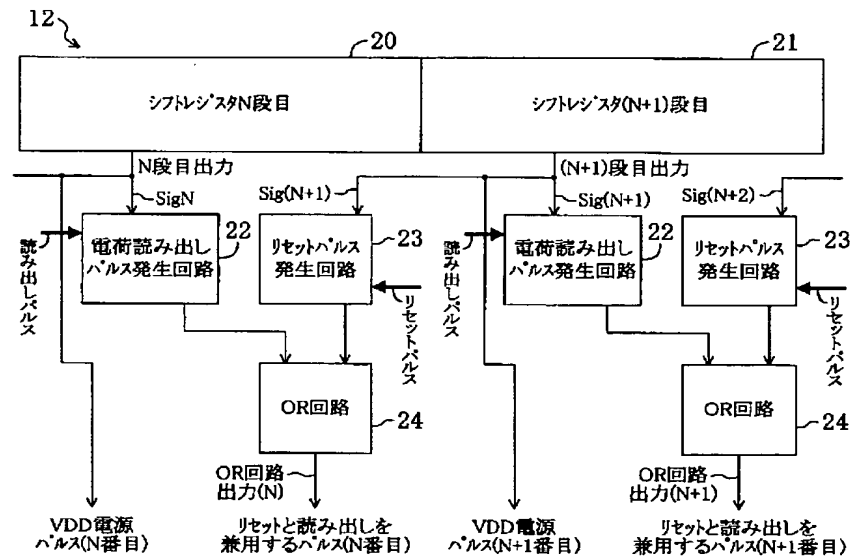
【図9】



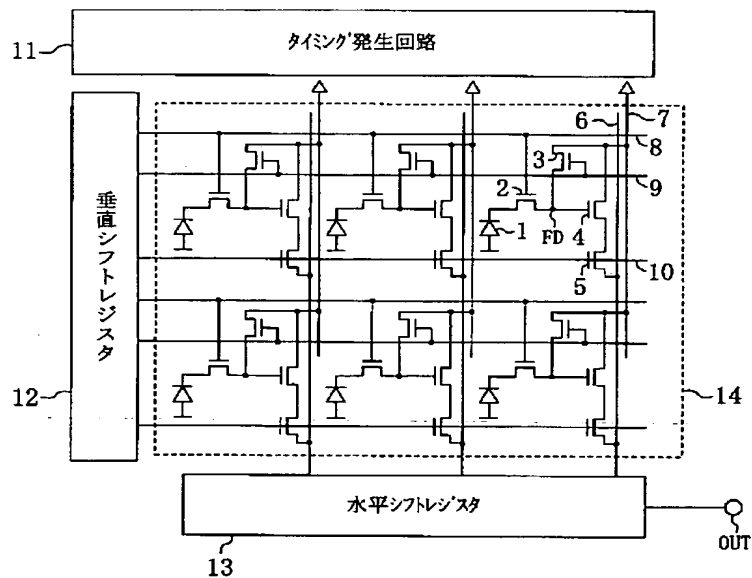
【図14】



【図16】



【図17】



フロントページの続き

F ターム(参考) 4M118 AA04 AB01 BA14 CA02 DB03  
DB09 DB11 DD04 DD12 FA06  
FA33 GB15 GB17  
5C024 CY42 GX03 GX16 GY38 GY39  
GZ22 HX40 HX51

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成17年6月16日(2005. 6. 16)

【公開番号】特開2002-335455(P2002-335455A)

【公開日】平成14年11月22日(2002. 11. 22)

【出願番号】特願2002-55195(P2002-55195)

【国際特許分類第7版】

H04N 5/335

H01L 27/146

【F I】

H04N 5/335 Z

H04N 5/335 E

H01L 27/14 A

【手続補正書】

【提出日】平成16年9月10日(2004. 9. 10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板上に、各々入射光を光電変換するための光電変換領域と、前記光電変換で得られた信号電荷を読み出すための読み出しトランジスタと、前記読み出された信号電荷を蓄えるための蓄積領域と、前記蓄積領域の電位がゲートに加わることで前記読み出された信号電荷を検出するための検出トランジスタと、前記蓄積領域の信号電荷をリセットするためのリセットトランジスタと、前記リセットトランジスタを介して前記蓄積領域へLOWレベル電位及びHIGHレベル電位からなるパルス電圧を供給するためのドレイン領域とを有する複数の増幅型単位画素を二次元状に配列した固体撮像装置において、

前記複数の増幅型単位画素のドレイン領域は、1行毎に異なるドレイン線に接続され、

前記複数の増幅型単位画素のうちの第1の画素の読み出しトランジスタへの読み出しパルスと、前記第1の画素に対して列方向に隣接する第2の画素のリセットトランジスタへのリセットパルスとを共通のゲート線で供給するように構成され、

少なくとも前記光電変換領域から読み出された前記蓄積領域の信号電荷をリセットする期間は、第1の画素の前記ドレイン線の電位をHIGHレベル電位に設定するように、前記ドレイン線がパルス駆動されることを特徴とする固体撮像装置。

【請求項2】

請求項1記載の固体撮像装置において、

更に前記読み出しトランジスタがオンしている期間に前記ドレイン線の電位をHIGHレベル電位に設定するように構成されたことを特徴とする固体撮像装置。

【請求項3】

請求項1又は2に記載の固体撮像装置において、

前記リセットトランジスタのゲートにLOWレベル電位が与えられた場合の当該ゲート下のポテンシャルは、前記ドレイン領域のLOWレベル電位よりも高いことを特徴とする固体撮像装置。

【請求項4】

請求項1～3のいずれか1項に記載の固体撮像装置において、

複数の駆動パルスにより駆動され、前記複数の駆動パルスのうちの1つがP型又はN型

MOSトランジスタのソース又はドレインに接続され、該P型又はN型MOSトランジスタのドレイン又はソースを、ドライバを介することなく前記複数の増幅型単位画素の前記ドレイン線に出力して直接駆動するシフトレジスタを更に備えたことを特徴とする固体撮像装置。

【請求項5】

請求項1～4のいずれか1項に記載の固体撮像装置において、

1水平ブランキング期間内に、前記複数の増幅型単位画素のうちの列方向に互いに隣接する2画素以上の信号電荷を検出すべく、2行以上のドレイン線の電位をHIGHレベル電位に設定できるように構成されたことを特徴とする固体撮像装置。

【請求項6】

半導体基板上に、各々入射光を光電変換するための光電変換領域と、前記光電変換で得られた信号電荷を読み出すための読み出しトランジスタと、前記読み出された信号電荷を蓄えるための蓄積領域と、前記蓄積領域の電位がゲートに加わることで前記読み出された信号電荷を検出するための検出トランジスタと、前記蓄積領域の信号電荷をリセットするためのリセットトランジスタと、前記リセットトランジスタを介して前記蓄積領域へLOWレベル電位及びHIGHレベル電位からなるパルス電圧を供給するためのドレイン領域とを有する複数の増幅型単位画素を二次元状に配列した固体撮像装置において、

前記読み出しトランジスタと前記リセットトランジスタとが同時にオンする期間に、前記ドレイン線の電位をHIGHレベル電位に設定するように構成されたことを特徴とする固体撮像装置。

【請求項7】

請求項1～6のいずれか1項に記載の固体撮像装置において、

前記ドレイン線は、前記各トランジスタのゲートと同一の配線層で形成されていることを特徴とする固体撮像装置。

【請求項8】

請求項1～6のいずれか1項に記載の固体撮像装置において、

前記蓄積領域と前記検出トランジスタのゲートとを結ぶ配線は、第1層目の遮光性金属からなることを特徴とする固体撮像装置。

【請求項9】

請求項1～6のいずれか1項に記載の固体撮像装置において、

前記複数の増幅型単位画素の検出トランジスタは、1列毎に異なる信号線に接続され、前記蓄積領域と前記検出トランジスタのゲートとを結ぶ配線と、前記ドレイン線とは、第1層目金属からなり、かつ、

前記信号線は、前記第1層目金属より上層の第2層目金属からなることを特徴とする固体撮像装置。

【請求項10】

請求項1～6のいずれか1項に記載の固体撮像装置において、

前記複数の増幅型単位画素の検出トランジスタは、1列毎に異なる信号線に接続され、前記蓄積領域と前記検出トランジスタのゲートとを結ぶ配線と、前記信号線とは、第1層目金属からなり、かつ、

前記ドレイン線は、前記第1層目金属より上層の第2層目金属からなることを特徴とする固体撮像装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

【課題を解決するための手段】

上記目的を達成するために、本発明の固体撮像装置は、半導体基板上に、各々入射光を



光電変換するための光電変換領域と、光電変換で得られた信号電荷を読み出すための読み出しトランジスタと、読み出された信号電荷を蓄えるための蓄積領域と、蓄積領域の電位がゲートに加わることで読み出された信号電荷を検出するための検出トランジスタと、蓄積領域の信号電荷をリセットするためのリセットトランジスタと、リセットトランジスタを介して蓄積領域へLOWレベル電位及びHIGHレベル電位からなるパルス電圧を供給するためのドレイン領域とを有する複数の増幅型単位画素を二次元状に配列した固体撮像装置において、複数の増幅型単位画素のドレイン領域は、1行毎に異なるドレイン線に接続され、複数の増幅型単位画素のうちの第1の画素の読み出しトランジスタへの読み出しパルスと、第1の画素に対して列方向に隣接する第2の画素のリセットトランジスタへのリセットパルスとを共通のゲート線で供給するように構成され、少なくとも光電変換領域から読み出された蓄積領域の信号電荷をリセットする期間は、第1の画素のドレイン線の電位をHIGHレベル電位に設定するように、ドレイン線がパルス駆動されることを特徴とする。この構成により、1行毎に選択的に電源パルスを供給することができるので、消費電力が削減される。